

**PAT-NO:** JP362066661A  
**DOCUMENT-IDENTIFIER:** JP 62066661 A  
**TITLE:** FORMING LARGE CAPACITY MEMORY CELL  
**PUBN-DATE:** March 26, 1987

**INVENTOR-INFORMATION:**

NAME	COUNTRY
MATSUI, HIROSHI	

**ASSIGNEE-INFORMATION:**

NAME	COUNTRY
OKI ELECTRIC IND CO LTD	N/A

**APPL-NO:** JP60205221  
**APPL-DATE:** September 19, 1985

**INT-CL (IPC):** H01L027/10 , G11C011/34 , H01L021/306

**US-CL-CURRENT:** 257/E21.651

**ABSTRACT:**

**PURPOSE:** To increase a capacitor area by coating a semiconductor substrate with an etching mask having a hole, opening a trench of rectangular section by anisotropic etching, then increasing the end of the trench center by crystalline dependency etching, and diffusing a semiconductor layer to become a capacitor.

**CONSTITUTION:** A thick field oxide film 2 is formed on the periphery of a P-type Si substrate 1 having (100) plane, the entire surface which includes the film 2 is coated with an etching mask 3 having the prescribed hole, and a vertical rectangular trench 4a surrounded by (100) surface is opened in the substrate 1 by anisotropic reactive ion etching. Then, the center wall of the trench 4a is expanded in a both-side conical spherical shape by etchant having crystalline dependency such as KOH solution to generate a trench 4b surrounded by (111) surface, an N-type layer 5 is diffused on the wall, and a capacitor electrode layer 6 is buried here. Thereafter, source and drain electrodes are formed adjacent to the layer 6.

## ⑫ 公開特許公報(A)

昭62-66661

⑤ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

④ 公開 昭和62年(1987)3月26日

H 01 L 27/10  
G 11 C 11/34  
H 01 L 21/306

101

6655-5F

8223-5F 審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 大容量メモリセルの形成方法

⑮ 特 願 昭60-205221

⑯ 出 願 昭60(1985)9月19日

⑰ 発 明 者 松 井 宏 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内  
⑱ 出 願 人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号  
⑲ 代 理 人 弁理士 菊 池 弘

## 明 細 書

## 1. 発明の名称

大容量メモリセルの形成方法

## 2. 特許請求の範囲

イ) (100) Si 基板上に形成されたエッチングマスクをトレンチ部において除去した後、異方性エッチングを施し断面矩形トレンチを形成する工程と、

ロ) 結晶面依存性を有するエッチング液を用いて、前記矩形トレンチ内を再度エッチングして(111)面で囲まれたトレンチに拡大する工程と、

ハ) 前記の拡大されたトレンチ内面に不純物層を形成した後、ポリSiで該トレンチを埋込みキャパシター電極層を形成する工程と、

ニ) ゲート電極、ソース・ドレイン層、中間絶縁膜、上部導通回路を形成する工程とを、

順次行うことを特徴とする大容量メモリセルの形成方法。

## 3. 発明の詳細な説明

## (産業上の利用分野)

本発明はメモリセル、特に大容量を可能とする1T<sub>1</sub>型トレンチキャパシター構造をもつDRAMセルの形成方法に関するものである。

## (従来技術)

一般にDRAMセルにトレンチキャパシターを形成するとき、例えばインターナショナルエレクトロニクスミーツ論文集1983, PP. 319~322に示されているように、(100) Si基板に異方性エッチングを用いてトレンチを穿設するため、矩形の縦断面を有するトレンチが形成されていた(第2図参照)。

このトレンチを1T<sub>1</sub>型DRAMセルのキャパシターとして適用する際、例えば1×1μm<sup>2</sup>の開口面積で深さ4μmのトレンチの場合では、理想的に垂直な(100)面又は(110)面が形成されていたとしても、キャパシターとして使用可能な面積は、

$$S = S_1 + 4S_2 \quad \dots\dots(1)$$

$$\begin{cases} S_1: \text{底面積} & 1 \times 1 \mu\text{m}^2 \\ S_2: \text{一側面積} & 1 \times 4 \mu\text{m}^2 \end{cases}$$

より、 $S = 1 + 4 \times 4 = 17 (\mu\text{m}^2)$  となる。

(発明が解決しようとする問題点)

しかし、上記のような矩形トレンチの場合、キャパシターとして使用可能な面積、即ちキャパシター面積が小さく、メモリセルの大容量化傾向に対する一つの障害となっていた。

この発明は以上のような問題点を解決するためのものであり、トレンチの内面積を拡大する方法を提示するものである。

(問題点を解決するための手段)

この発明にかかる大容量メモリセルの形成方法は、(100) Si 基板に異方性エッチングを施し断面矩形トレンチを形成し、次に結晶面依存性を有するエッチング液を用いて前記矩形トレンチ内を再度エッチングして(111)面で囲まれたトレンチに拡大し、該トレンチを1T1型トレンチキャパシターとしたことを特徴とするものである。

フラット)が(110)方向なので、OFに平行な矩形パターンは(110)面で側面を囲まれたトレンチが形成され、OFと45°の矩形パターンは(100)面で側面を囲まれたトレンチが形成される(第1図(b)参照)。

続いて、結晶面依存性を有するエッチング液、例えばエチレンジアミン+ピチカテコールあるいはKOH液、NaOH液等のアルカリ性エッチング液を用いて、前記矩形トレンチ4aを再度エッチングし(111)面で囲まれたトレンチ4bを形成する(第1図(c)参照)。このときのトレンチ形状は、元の矩形トレンチ4aが(110)面で囲まれていた場合、第1図(c)の $\alpha$ は35.3度、元の矩形トレンチ4aが(100)面で囲まれていた場合、前記 $\alpha$ は54.7度となる。尚、完全に(111)面が露出するまでエッチングをせずに途中で止めても、かなりのキャパシター面積の拡大が可能である。

その後の工程を簡略に示すと、PSG膜によりトレンチ4bの内面にN型不純物層5を形成し(第

(作用)

この発明においては、異方性エッチングにより(100)面又は(110)面で囲まれた断面矩形のトレンチを形成した後、結晶面依存性を有するケミカルエッチング法で前記矩形トレンチを再度エッチングするため、(111)面で囲まれた拡大されたトレンチがSi基板に形成され、キャパシター面積を従来に比べ2.1~3.6倍程度に増大させることが可能となる。

(実施例)

以下、この発明の一実施例を図に基づいて説明する。先づ、通常の工程でP型(100) Si 基板1(又はエピタキシャル基板)上にフィールド酸化膜2及びエッチングマスク3となるCVDSiO<sub>2</sub>膜又はSiO<sub>2</sub>とSi<sub>3</sub>N<sub>4</sub>の複合膜を順次形成し、該エッチングマスク3はトレンチ部において除去される(第1図(a)参照)。次に、RIE(リアクティブイオンエッチング)法により異方性エッチングでSi基板1内にトレンチ4aを穿設する。この場合、(100)基板のOF(オリエンテーション

1図(d)参照)、次にトレンチ4b内部をポリSi層で埋込みキャパシター電極層6とする(第1図(e)参照)。続いて、ゲート酸化膜7およびゲート電極層8を持つトランスファアゲートおよび周辺回路トランジスターを形成する(第1図(f)参照)。さらに、ソース・ドレインN<sup>+</sup>層9を形成し、中間絶縁膜10を堆積し、次いで所望位置にコンタクトホール11を開孔し、Al配線12を形成する(第1図(g)参照)。

(発明の効果)

以上説明したように本発明方法によれば、結晶面依存性を有するエッチング液を用いたことにより、Si基板内のトレンチを(111)面で囲まれた形状にし、キャパシター面積を増大させることが可能となる。例えば、前述した開口面積1×1μm<sup>2</sup>、深さ4μmのトレンチでキャパシター面積を比較すると、

イ) 従来の矩形トレンチでは(100)面、

(110)面共に前述のごとく17μm<sup>2</sup>。

ロ) 本発明の(100)面から(111)面に

エッチングした場合、約  $61\mu\text{m}^2$  となり約 3.6 倍に増大。

ハ) 本発明の (110) 面から (111) 面にエッチングした場合、約  $35\mu\text{m}^2$  となり約 2.1 倍に増大。

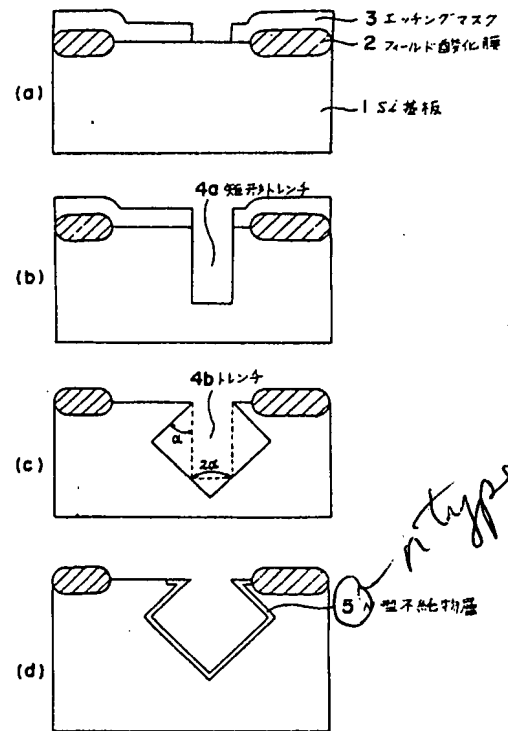
上記イ)～ハ)より明らかなように、Si 基板表面の開口面積が等しいとき、はるかに大容量のキャパシターを形成することができる。また、完全に (111) 面を露出させなくても容量の増大を図ることが可能となる。

従って、本発明は大容量メモリセルに対する要求に応えるものでありその工業的効果は極めて大きい。

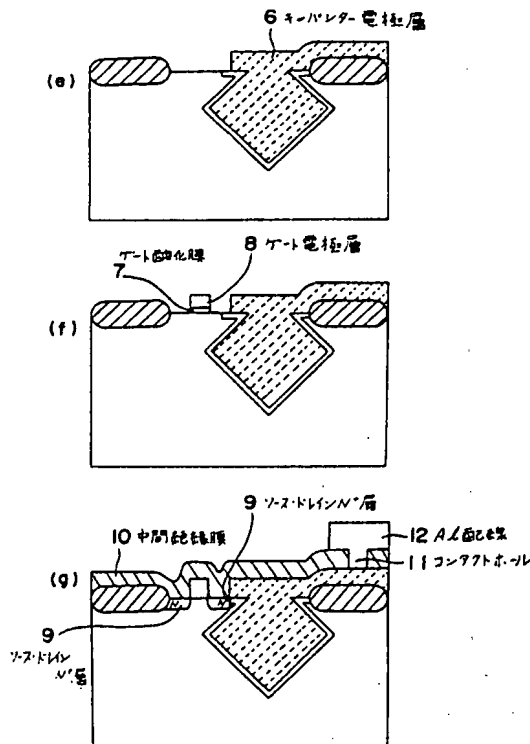
#### 4. 図面の簡単な説明

第1図(a)～(d)は本発明の工程を説明するための部分断面図、第2図は従来のトレンチ形状を示す部分断面図である。

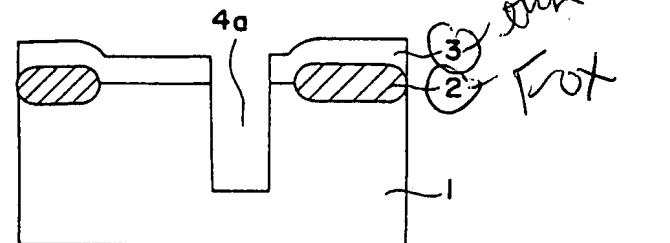
1…Si 基板、4a…矩形トレンチ、4b…本発明におけるトレンチ、6…キャパシター電極層。



本発明の工程を示す部分断面図  
第1図



本発明の工程を示す部分断面図  
第1図



従来のトレンチ形状を示す部分断面図  
第2図

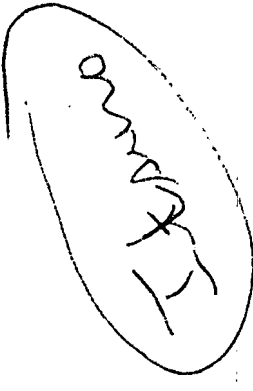
**TITLE:** Wafer cleaning apparatus used in semiconductor device manufacture - has irradiation unit that directs output of UV ray generator towards circumferential portion of semiconductor wafer held on retainer



**PRIORITY-DATA:** 1997JP-0047599 (March 3, 1997)

**PATENT-FAMILY:**

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP <u>10242098</u> A	September 11, 1998	N/A	005	H01L 021/304



**INT-CL (IPC):** H01L021/027, H01L021/304

**ABSTRACTED-PUB-NO:** JP 10242098A

**BASIC-ABSTRACT:**

The apparatus consists of a retainer (15) which holds a wafer (1). The retainer is rotated at constant velocity by a drive unit (13) via a revolving shaft (14). An irradiation unit (17) provided at constant distance from the wafer directs the output of an UV ray generator (16) towards the circumferential portion of the wafer. Air is sucked from a gas feed zone through a filter (14).

Full Text

AN 1998-242098 JAPIO  
 TI **WAFER** CLEANING EQUIPMENT AND **WAFER** CLEANING METHOD  
 IN TOYOSHIGE ITSURO  
 PA MIYAZAKI OKI ELECTRIC CO LTD  
 OKI ELECTRIC IND CO LTD  
 PI JP 10242098 A 19980911 Heisei  
 AI ~~JP 1997-47599~~ (JP09047599 Heisei) 19970303  
 PRAI JP 1997-47599 19970303

SO PATENT ABSTRACTS OF JAPAN (CD-ROM), Unexamined Applications, Vol. 1998  
 AB PROBLEM TO BE SOLVED: To completely eliminate organic foreign matter adhering to the uneven part of **wafer periphery** in a **semiconductor** element manufacturing process.

SOLUTION: The central part of a **wafer** 1 is mounted on a holding part 15. The position of an irradiation part 17 is so adjusted that the distance from the **peripheral** part of **wafer** 1 is constant. The **rotating** shaft 14 of the holding part 15 is **rotated** at a constant speed by a driving part 13. Cleaned air is supplied to the vicinity of the irradiation part 17. While the shaft 14 is **rotated** and the air is supplied, **ultraviolet** ray whose wavelength is, e.g. 172nm is outputted from an **ultraviolet** ray generating part 16. The **peripheral** part of the **wafer** 1 is irradiated with the ray from the irradiation part 17. Oxygen in the **peripheral** part of the **wafer** 1 is excited, and excited oxygen atoms and ozone are generated. Organic material is decomposed into elements of C, H and O by the energy of excited oxygen atoms and ozone, bonded to O, evaporated, and discharged from an exhaust tube 12.